TRIAL MANUFACTURE SUPPORTING DEVICE, SUBSTRATE FOR IC MOUNTING, AND BUS DEVICE

Publication number: JP8221164 (A)

Publication date: 1996-08-30

ARITA SATORU; MITSUGI SHIGERU Inventor(s):

Applicant(s): Classification: KUMAMOTO TECHNOPOLIS FOUND; ARITETSUKU KK

G01R31/28; G06F3/00; G06F11/22; H01R12/16; H05K1/14; H05K1/14; G01R31/28; - International:

G06F3/00; G06F11/22; H01R12/00; H05K1/14; H05K1/14; (IPC1-7): H01R23/68; H05K1/14; G06F3/00; G01R31/28; G06F11/22

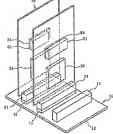
- European:

Application number: JP19950049194 19950214

Priority number(s): .IP19950049194 19950214

Abstract of JP 8221164 (A)

PURPOSE: To manufacture a device which is easily corrected and high in reliability and uses a digital IC by way of trial in a short time at low cost and also manufacture a device to which plural ICs are connected by a bus. CONSTITUTION: The trial manufacture supporting device is equipped with the bus device 10 and the substrate 20 for IC mounting which is connected to the bus device 10. The bus device 10 is equipped with plural connectors 11 and a sub-substrate 12 having bus wires for connecting the connectors 11 mutually to a bus. The substrate 20 for IC mounting has a connector 21 for connecting with the connector 11 of the bus device 10, an IC socket 23 where an IC is inserted, and FPGA 22 which is connected to the IC socket 23 and connector 21.: An optional IC is inserted into the IC socket 23 of the substrate 20 for IC mounting. which is inserted into the bus device 10; and the FPGA 22 is programmed to manufecture the device using the IC by way of trial.



Date supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号 特開平8-221164

(43)公開日 平成8年(1996)8月30日

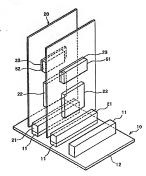
(51) Int.Cl.º G 0 6 F 3/00			FI			- 2	技術表示箇所
			G06F	3/00	. 1	r	
G01R 31/28			1	1/22	330E	3	
G06F 11/22	330	6901-5B	H01R 2	3/68	303F	I	
# H O 1 R 23/68	303		H05K	1/14	I)	
H05K 1/14			G01R 3		1	-	
			審查請求	未請求	請求項の数24	FD	(全 27 頁)
(21)出願番号	特顧平7-49194		(71) 出額人	5910231			
					(熊本テクノボ!		
(22)出廣日	平成7年(1995)2	月14日			上益城郡益城町大	大字田區	72081番地10
			(71)出願人				
					上アリテック		
				*****	II尻町551番地		
			(72)発明者	有田(
			1	熊本県	根本市川尻町551	番地	株式会社ア
				リテック	ウ内		
			(72)発明者	身次	虼		
				財団規	L益城郡益城町7 法人 熊本テク / 減技術研究所内		
			(74)代理人	弁理士	藤島 洋一郎		

(54) [発明の名称] 試作支援装置、I C搭載用基板およびパス装置

(57)【要約】

【目的】 短い時間で安価に、且つ修正が容易で、信頼 性が高く、ディジタルICを用いた装置を試作できるよ に、複数のICをパスで接続する装置の試作も可能 にする。

【構成】 試作支援装置は、バス装置10と、バス装置 10に接続される1 C 搭銀用基板 20 を備えている。 バス装置10は、複数のコネクタ11と、コネクタ11 を互いにバス接続するバス操像を有するバス基板12と を備えている。1 C 搭載用基板20は、バス装置10の コネクタ11と終合するためのコネクタ21と、1Cを 搏すため01 C ソケット23と、1C ソケット23とコネクタ21に接続されたFPGA2とを備えている。 に差別1に接続されたFPGA2ととを備えている。 「に 近 T に 搭載用基板20の1 C ソケット23に 挿し、1 C 搭載用基板20をバス装置10に挿し、FP GA2をプログラムすることにより、1 Cを用いた装置を試作することができる。



【特許請求の範囲】

【請求項1】 互いにパス接続された複数のパス接続用 コネクタを有するパス装置と、このパス装置に接続され る I C 将載用基板とを備え、

前記 I C搭載用基板は、バス接続用コネクタと結合する ためのバス装置接続用コネクタと、I Cを博すためのI Cソケットと、一部の入出力場子が I Cソケットの全て の端子にそれぞれ接続され、他の入出力場子がバス装置 接続用コネクタの端子に接続された、結線と論理がプロ グラム可能なプログラマブル I C とを有することを特徴 10 セする程件では接続

【請求項2】 前記IC搭載用基板は、ICソケットに 際り合うように配置され、ICソケットの端子に接続さ れた端子を含む相助ソケットと、電源に接続された電源 ソケットと、接地された接地ソケットとを更に有するこ トを特徴とする節取項 IP部の起作支援参階。

「順次項3」 前記1 C搭製用基板は、I Cソケットに 勝り合うように記憶され、I Cソケットの増子に接続さ れた端子を含む第1の補助ソケットと、電源に接続され た電源ソケットと、接地された途地ソケットと、他の接 置との接続のための整置接続用コネクタと、この装置技 統用コネクタの端子に接続された端子を含む第2の補助 ソケットと、この第2の補助ソケットに関わ合うように 配置され、I Cソケットの端子に接続された端子を含む 第3の補助ソケットとを更に有することを特徴とする請 東項1 E製の配体を接接機

[請求項4] 前記I C 搭載用基板は、I C ソケットに 並列に接続され、I C ソケットと異なる形状の第2の I C ソケットを更に有することを特徴とする請求項 I ない し 3 のいずれか I に記載の誠作支援装置。

【請求項5】 ・互いにパス接続された複数のパス接続用 コネクタを有するパス装置と、このパス装置に接続され る I C 搭載用基板とを備え、

前記IC搭載用基板は、バス接続用コネクタと結合する ためのバス装置接続用コネクタと、ICを挿すための第 1のICソケットと、一部の入出力端子が第1のICソ ケットの全ての端子にそれぞれ接続され、他の入出力端 子がパス装置接続用コネクタの端子に接続された、結線 と論理がプログラム可能なプログラマブルICと、第1 のICソケットに隣り合うように配置され、第1のIC 40 ソケットの端子に接続された端子を含む第1の補助ソケ ットと、電源に接続された電源ソケットと、接地された 接地ソケットと、他の装置との接続のための装置接続用 コネクタと、この装置接続用コネクタの端子に接続され た端子を含む第2の補助ソケットと、この第2の補助ソ ケットに隣り合うように配置され、第1のICソケット の端子に接続された端子を含む第3の補助ソケットと、 ICを挿すための第2のICソケットと、この第2のI Cソケットに隣り合うように配置され、第2のICソケ ットの端子に接続された端子を含む第4の補助ソケット 50

とを有することを特徴とする試作支援装置。

【請求項6】 前記IC搭載用基板は、第1のICソケットに並列に接続され、第1のICソケットと異なる形状の第3のICソケットを更に有することを特徴とする 請求項5部誌の試作支援装置。

【請求項7】 前記1 C 搭載用基板は、第2の補助ソケットに瞬り合うように配置され、接地された第2の接地 ソケットを更に有することを特徴とする請求項3ないし 6のいずれか1 に記載の試作支援装置。

[端来項8] 論記プログラマブル I Cは複数配けられ、これら複数のプログラマブル I Cは次数 医型 おえりから I Cソケットへの接続を分担し、バス装置接続用コネクタや I Cソケットに接続していない互いの入出力端ア両土が接続されていることを特徴とする端求項 1 ないしてりいずれか I E 石製の値符を接続題

【鯖求項9】 前記プログラマブルICは、フィールド・プログラマブル・ゲート・アレイであることを特徴とする請求項1ないし8のいずれか1に記載の試作支援装

【請求項10】 前記プログラマブルICは、プログラマブル・ロジック・デバイスであることを特徴とする請求項1ないし8のいずれか1に記載の試作支援装置。

【糖求項11】 前記パス絵画の複数のパス接続用コネクタは、 クタのうち、少なくとも一つのパス接使用コネクタは、 の必接行点が他のパス接続用コネクタの接続方向に対 して直角方向になるように配置されていることを特徴と する顔が項1ないし10のいずれか1に配載の試作支援 装置。

【請求項12】 前記パス装置は、各パス接続用コネク タの接続方向に合わせたIC搭載用基板案内用のガイド レールを更に有することを特徴とする請求項11記載の 試作支援装置。

【請求項13】 互いにバス接続された複数のバス接続 用コネクタを有するパス装置と、このバス装置に接続さ れるIC搭載用基板とを備えた試作支援装置に用いら

バス接続用コネクタと結合するためのバス装置接続用コネクタと、

ICを挿すためのICソケットと、

一部の入出力端子がICンケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルICとを備えたことを特徴とするIC搭載用基板。

【繭球項14】 1 Cソケットに隣り合うように配置され、1 Cソケットの端子に接続された端子を含む補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットとを更に備えたことを特徴とする請求項13記載の1 C搭載用基板。

O 【請求項15】 ICソケットに隣り合うように配置さ

れ、 I C ソケットの端子に接続された端子を含む第1の 補助ソケットと、電源に接続された電源ソケットと、接 動された接地ソケットと、他の装置との接続のための装 置接続用コネクタと、この装置接続用コネクタの端子に 接続された端子を含む第2の補助ソケットと、この第2 の補助ソケットに隣り合うように配置され、ICソケッ トの嶋子に接続された端子を含む第3の補助ソケットと を更に備えたことを特徴とする請求項13記載のIC搭 截用基板。

ソケットと異なる形状の第2のICソケットを更に備え たてとを特徴とする請求項13ないし15のいずれか1 に記載のIC搭載用基板。

【請求項17】 互いにバス接続された複数のバス接続 用コネクタを有するパス装置と、このパス装置に接続さ れるIC搭載用基板とを備えた試作支援装置に用いら

バス接続用コネクタと結合するためのバス装置接続用コ ネクタン.

ICを押すための第1のICソケットと、

一部の入出力端子が第1のICソケットの全ての端子に それぞれ接続され、他の入出力端子がバス装置接続用コ ネクタの端子に接続された、結線と論理がプログラム可 能なプログラマブルICと、

第1の10ソケットに隣り合うように配置され、第1の ICソケットの端子に接続された端子を含む第1の補助 ソケットと、

電源に接続された電源ソケットと、

接地された接地ソケットと、

他の装置との接続のための装置接続用コネクタと、 この装置接続用コネクタの端子に接続された端子を含む 第2の補助ソケットと、

この筆2の補助ソケットに降り合うように配置され、第 1の [Cソケットの端子に接続された端子を含む第3の 補助ソケットと、

ICを押すための第2のICソケットと、

この第2のICソケットに隣り合うように配置され、第 2の I Cソケットの端子に接続された端子を含む第4の 補助ソケットとを備えたことを特徴とするIC搭載用基 板。

【請求項18】 第1のICソケットに並列に接続さ れ、第1のICソケットと異なる形状の第3のICソケ ットを更に備えたことを特徴とする請求項17記載の1 C搭載用基板。

【請求項19】 第2の補助ソケットに隣り合うように 配置され、接地された第2の接地ソケットを更に備えた ことを特徴とする請求項15ないし18のいずれか1に 記載のIC搭載用基板。

【請求項20】 前記プログラマブルICは複数設けら れ、これら複数のプログラマブルICはパス装置接続用 50 合、納品までに1カ月程度を要することが多い。また、

コネクタやICソケットへの接続を分担し、バス装置接 綾用コネクタや I C ソケットに接続していない互いの入 出力端子が接続されていることを特徴とする請求項13 ない1.19のいずれか1に記載のIC搭載用基板。

【請求項21】 前記プログラマブルICは、フィール ド・プログラマブル・ゲート・アレイであることを特徴 とする請求項13ないし20のいずれか1に記載のIC 搭載用基板。

【請求項22】 前記プログラマブルICは、プログラ 【請求項16】 ICソケットに並列に接続され、IC 10 マブル・ロジック・デバイスであることを特徴とする請 求項13ないし20のいずれか1に記載のIC搭載用基

> 【請求項23】 コネクタ、ICを挿すためのICソケ ット、および、一部の入出力端子がICソケットの全て の端子にそれぞれ接続され、他の入出力端子がコネクタ の端子に接続された、結線と論理がプログラム可能なプ ログラマブルICを有するIC搭載用基板と、複数のI C搭載用基板のコネクタ同十をパス接続するためのパス 装置とを備えた試作支援装置に用いられ、

20 互いにバス接続され、それぞれ I C搭載用基板のコネク タと結合するための複数のパス接続用コネクタを備え、 この複数のバス接続用コネクタのうち、少なくとも一つ のバス接続用コネクタは、その接続方向が他のバス接続 用コネクタの接続方向に対して直角方向になるように配 置されていることを特徴とするパス装置。

【請求項24】 各バス接続用コネクタの接続方向に合 わせたIC搭載用基板案内用のガイドレールを更に備え たことを特徴とする請求項23記載のバス装置。

【発明の詳細な説明】 [0001]

30

【産業上の利用分野】本発明は、マイクロコンピュータ に代表されるディジタルIC (集積回路) を用いた装置 を試作するのに適した試作支援装置と、これを構成する I C搭載用基板およびバス装置に関する。

[00002]

【従来の技術】従来、ディジタル回路やマイクロコンピ nータ広田同路のようなディジタル I Cを用いた装置を 開発する場合、回路設計の後、手配線やラッピング接続 によって試作を行っていた。そして、試作で設計の検証 40 を行った後、プリント基板を作成し、量産を行うように している。その他の試作方法としては、プリント基板を いきなり作ってしまう方法や、ジャンパ線接続方式のブ レッドボードを用いて試作する方法がある。

[0003]

【発明が解決しようとする課題】しかしながら、手配線 やラッピング接続は時間がかかり、誤配線の可能性もあ る。また、設計ミスや誤配線の場合の修正も大変であ る。プリント基板をいきなり作ってしまう方法は高価で あり、プリント基板設計・製作業者へ製作を依頼した場 設計ミスの修正の場合、多層プリント基板の内層の配線 を修正することは難しい。

[0004] ブレッドボードは、多数の穴の側いた粘板 た I と差増し、1 C間をジャンパ線でつなぐととによ り、回路の試作を行う装置である。穴は差点になってい て、I Cのピンやジャンパ線のピンを増すことにより、 電気的な接接を得る。しかし、これは機能的な副・独植 であり、ジャンパ線に触れてピンが側かた場合等に、電 のなを接続が不安定になり、回路にノイズが乗ることも ある。また、ジャンパ線のピンが側半に穴から接けてし 10 まう、結局、ブレッドボードによる方法は信頼性の面で 関節がある。

【0005】これに対処するに、例えば特開平1-20 2026号公報には、複数のプログラマブルロジック1 2026号公報には、複数のプログラマブルロジック1 20全番値した第10ボードとが用「によるディジタル 回路を搭載した第2のボードとを組み合わせて所望の機 能を実現できるようにした技術が示されている。また、 特開平3-186916号公報には、プログラブルロ ジックデバイスを用いて、マイクロコンピュータと汎用 書き込み金櫃等との接続関係を任意に設定可能にした技 がが示されている。また、特門子-88861号公報 には、プログラマブルデバイスを用いて、マザーボード とサブホードとの接続関係を任意に設定可能にした技術 が示されている。

【0006】しかしながら、例えばマイクロコンピュータ応用回路を試作する場合には、CPU (中央処理接触)、ROM (リード・オンリ・メモリ)、RAM (ランダム・アクセス・メモリ)、入出力インタフェース等を互いにバスで接続する必要がある。上配合公解に示される接続では、このような機の10~をパスで接続する 30 装備を試作することができないという問題点がある。

[0007] 本発明はかかる問題点に鑑みてなされたもので、その目的は、短い時間で安価に、ディシタル1 C を用いた絵画を試作でき、修工が容易で、信頼性が高く、しかも複数の I Cをパスで接続する装備の試作も可能な試作を複換機に、1C 搭載用基板およびパス装置を提供するととにある。

[0008]

【課題を解決するための手段】請求項 1 記載の試作支援 整體は、五いにス整統された複数をから、2 総統用ニネタ りを有するパス装置と、このパス装置に接続される1 C 搭載用基板とを備え、1 C 信報用基板が、パス接続用コ ネクを上結合するためのパス整理接続用コネクをと、1 C を増すための1 C ソケットと、一部の人出力増子が1 C ソケットの全ての場子にそれぞれ接続され、他の入出 力場子がパス装置接続用コネクタの端子に接続された、 結節と語呼がプログラム可能なプログラマブル1 C とを 育さるものである。

【0009】この試作支援装置では、IC搭載用基板の 接地ソケットと、他の装置との接続のための装置接続用ICソケットに任意のICを挿し、IC搭載用基板をパ 50 コネクタと、この装置接続用コネクタの端子に接続され

ス装置に接続し、プログラマブルICの結線と論理をプログラムすることによってICを用いた任意の装置を試作することが可能になる。

[0010] 請求項2記載の試作支援装置は、請求項1 記載の試作支援装置において、1 C搭載用基格が、1 C グケットに繰り合うように配置され、1 C ジットットの端 デに接続された端子を含む種助ソケットと、電源に接続 された端部グットと、接地された接地ソケットとを更 に有するものである。

【0011】この試作支援装置では、補助ソケットと、電源ソケットおよび接地ソケットとを接続することによって、ICソケットに挿したICに電源を与えることが可能になる。

【0012] 請求項3部級の試作支援機関は、請求項1 記載の試作支援機関において、1Cが裁判基係が、1C グケットに特)合うように配置され、1C グケットの端 子 足機能された端深ケットと、接地された地ツケット 、他の装置との接続のための装置接続用コネクタと、 、他の装置との接続のための装置接続用コネクタと、 この整置接続用コネクタの端子に接続された端子を含む 第2の補助ソケットと、この第2の補助ソケットに降り 合うように配置され、1C ソケットの端子に接続された 端子を含む第3の補助ソケットとを更に有するものであ 本

【0013】この試作支援装置では、装置接続用コネクタに他の装置を接続し、第2の補助ソケットと第3の補助ソケットと第3の補助ソケットとを接続することにより、1Cソケットに挿した1Cと他の装置との接続が可能になる。

【0014】請求項4記載の総件支援装置は、請求項1 ないし3のいずれか1に配敷の競件支援装置において、 1 C 搭載用器板が、I C ソケットに並列に接続され、I C ソケットと異なる形状の第2のI C ソケットを更に有 するものである。

【0015】この試作支援装置では、ICソケットと第 2のICソケットとによって、複数の形状のICに対応 可能になる。

【0016】請求明5記章の結件支援機関は、互いにバス接続された複数のバス接続用コネククを有するバス装置と、このバス後間に接続される11括製用基基反と構え、17括製用基基反、バス接続用コネクタと貼合するためのバス装置装飾用コネクタと、10を押すための第1の1Cソケットを全の棚下にそれを打接続され、他の入出力端非と節型がブログラムでは開きたが、交響が振ります。201Cソケットの電子に接続された。第1の1Cソケットの電子に接続された。第1の1Cソケットの電子に接続された。第1の1Cリケットの電子に接続された電影リケットと、常1の1Cソケットの電子に接続された電影リケットと、電源に接続された電影リケットと、電源に接続された電影リケットと、他の装置を用います。201Cリケットの電子に接続された電影リケットと、地地された場合リケットと、で数置を接続された電影リケットと、他の装置を回り続けるいる場合に対しませた。201Cによります。201Cによりまます。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによります。201Cによりますます。201Cによります。201Cによ

た端子を含む第2の補助ソケットと、この第2の補助ソケットに勝り合うように配置され、第1の1 C ソケットの端子に接続された端子を含む第3の補助ソケットと、「C を得すための第2の1 C ソケットと、この第2の1 C ソケットに勝り合うように配置され、第2の1 C ソケットの端子に接続された端子を含む第4の補助ソケットとを有するものである。

[0018] 請求項6記載の試作支援装置は、請求項5 記載の試作支援装置において、IC搭載用基板が、第1 のICソケットに並列に接続され、第1のICソケット と異なる形状の第3のICソケットを更に有するもので ある。

【0019】この試作支援装置では、第1のICソケットと第3のICソケットとによって、複数の形状のICに対応可能になる。

[0020] 請求項7記線の賦作支援装置は、請求項3 ないし6のいずれか1 k記憶の賦作支援装置において、 I C搭載用基板が、第2の補助ソケットに隣り合うよう に配置され、接地された第2の接地ソケットを更に有す るものである。

【0021】この試作支援装置では、第2の補助ソケットと第2の接地ソケットとを接続することによって、ノイズ対策のための接地が可能になる。

[0022] 請求項8記載の試作支援装置は、請求項1ないしてのいずれか1に配慮の試作支援装置において、プロラマブル1 Cが複数製力を入れ、これら複数のプログラマブル1 Cはバス装置接続用コネクタや1 Cソケットへの接続を分担し、バス装置接続用コネクタや1 Cソケットに接続していない互いの入出力端子同士が接続されているものである。

【0023】この試作支援装置では、1つのプログラマ ブルICの入出力端子の敷がバス装置接続用コネクタや ICソケットの端子に比べて少ない場合に、複数のプロ グラマブルICで、バス装置接続用コネクタやICソケ ットへの接接を分担することが可能になる。 [0024] 請求項9記載の試作支援装置は、請求項1 ないし8のいずれか1に記載の試作支援装置において、 プログラマブル1Cを、フィールド・プログラマブル・ ゲート・アレイとしたものである。

[0025] 請求項10記載の試作支援装置は、請求項 1ないし8のいずれか1に記載の試作支援装置におい て、プログラマブル10を、プログラマブル・ロジック ・デバイスとしたものである。

【0026】請求項11記載の試作支援装置は、請求項 1ないし10のいずれか1に記慮の試作支援装置におい て、バス装置の複数のバス接続用コネクタのうち、少な くとも一つのバス接続用コネクタが、その接続方向が他 のバス接続用コネクタの接続方向に対して恒角方向にな るように配置されているものである。

[0027] この試作支援装置では、バス装置の複数の バス接続用コネクタに接続する複数のIC搭載用基板の うちの少なくとも一つを他のIC搭載用基板に対して直 角方向に配置することが可能になり、デバッグや調整が 突易になる。

0 【0028】請求項12記載の試作支援装置は、請求項 11記載の試作支援装置において、パス装置が、各パス 技術用コネクタの接続方向に合わせたIC搭載用基板案 内用のガイドレールを更に有するものである。

[0029] この試作支援装置では、I C搭載用基板を ガイドレールに沿って案内して、バス装置のバス接続用 コネクタに接続することができ、バス装置に対する I C 搭載用基板の接続が容易になる。

[0030] 請求項13記載の16裕裁用基核法、互いにバス接続された複数のバス接続日ネカタを育するバス装置に未体接数のバス装置においる16格銀用ネカタを指した。 16格銀用ネカタと た給合するためのバス装置を誘用ネカタタ、16を押すための162ケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された。 結復と論理がプログラム可能なプログラマブルICとを侵えたものである。

【0031】 このI C搭載用基板では、I Cソケットに 任意のI Cを挿し、I C搭載用基板をバス装置に接続 0 し、プログラマプルI Cの結線と論理をプログラムする ことによってI Cを用いた任意の装置を試作することが 可能になる。

[0032] 請求項14記載のIC搭載用基板は、請求項13記載のIC搭載用基板はかて、ICグケットは 所り合うように配置され、ICグケットの端子に決談された端子を含む補助ソケットと、電源に接続された電源 ソケットと、接触された接地ソケットとを更に備えたものである。

【0033】このIC搭載用基板では、補助ソケットと 50 電源ソケットおよび接地ソケットとを接続することによ

【0034】請求項15記載のIC搭載用基板は、請求 項13記載のIC搭載用基板において、ICソケットに 隣り合うように配置され、ICソケットの端子に接続さ れた端子を含む第1の補助ソケットと、電源に接続され た雷流ソケットと、接地された接地ソケットと、他の装 置との接続のための装置接続用コネクタと、この装置接 続用コネクタの端子に接続された端子を含む第2の補助 ソケットと、この第2の補助ソケットに隣り合うように 10 配置され、ICソケットの端子に接続された端子を含む 第3の補助ソケットとを更に備えたものである。

【0035】このIC搭載用基板では、装置接続用コネ クタに他の装置を接続し、第2の補助ソケットと第3の 補助ソケットとを接続することにより、ICソケットに 挿したICと他の装置との接続が可能になる。

【0036】請求項16記載のIC搭載用基板は、請求 項13ないし15のいずれか1に記載のIC搭載用基板 において、ICソケットに並列に接続され、ICソケッ トと異なる形状の第2のICソケットを更に備えたもの 20 である。

【0037】このIC搭載用基板では、ICソケットと 第2のICソケットとによって、複数の形状のICに対 応可能になる。

【0038】請求項17記載のIC搭載用基板は、互い にバス接続された複数のバス接続用コネクタを有するバ ス装置と、このパス装置に接続されるIC搭載用基板と を備えた試作支援装置に用いられ、バス接続用コネクタ と結合するためのバス装置接続用コネクタと、ICを挿 すための第1のICソケットと、一部の入出力端子が第 30 1の1 Cソケットの全ての端子にそれぞれ接続され、他 の入出力端子がパス装置接続用コネクタの端子に接続さ れた、結績と論理がプログラム可能なプログラマブル I Cと、第1のICソケットに隣り合うように配置され、 第1の10ソケットの端子に接続された端子を含む第1 の補助ソケットと、電源に接続された電源ソケットと、 接地された接地ソケットと、他の装置との接続のための 装置接続用コネクタと、この装置接続用コネクタの端子 に接続された端子を含む第2の補助ソケットと、この第 2の補助ソケットに隣り合うように配置され、第1の1 40 Cソケットの端子に接続された端子を含む第3の補助ソ ケットと、ICを挿すための第2のICソケットと、こ の第2の I Cソケットに隣り合うように配置され、第2 の I Cソケットの端子に接続された端子を含む第4の補 助ソケットとを借えたものである。

【0039】このIC搭載用基板では、第1のICソケ ットに任意のICを挿し、第2のICソケットに他のI Cを挿し、IC搭載用基板をバス装置に接続し、プログ ラマブル I Cの結線と論理をプログラムすることによっ て複数のICを用いた任意の装置を試作することが可能 50 C搭載用基板と、複数のIC搭載用基板のコネクタ同士

10 になる。また、第1の補助ソケットおよび第4の補助ソ ケットと電源ソケットおよび接地ソケットとを接続する ことによって、第1のICソケットに挿したICと第2 のICソケットに挿したICとに電源を与えることが可 能になる。また、装置接続用コネクタに他の装置を接続 し、第3の補助ソケットあるいは第4の補助ソケットと **第2の補助ソケットとを接続することにより、第1の I** Cソケットに插したICあるいは第2のICソケットに 挿したICと他の装置との接続が可能になる。

【0040】請求項18記載のIC搭載用基板は、請求 項17記載のIC搭載用基板において、第1のICソケ ットに並列に接続され、第1のICソケットと異なる形 状の第3のICソケットを更に備えたものである。

【0041】 この I C搭載用基板では、第1の I Cソケ ットと第3のICソケットとによって、複数の形状のI Cに対応可能になる。

【0042】請求項19記載のJC搭載用基板は、請求 項15ないし18のいずれか1に記載のIC搭載用基板 において、第2の補助ソケットに隣り合うように配置さ れ、接地された第2の接地ソケットを更に備えたもので ある。

【0043】このIC搭載用基板では、第2の補助ソケ ットと第2の接換ソケットとを接続することによって、 ノイズ対策のための接地が可能になる。

[0044] 請求項20記載のIC搭載用基板は、請求 項13ないし19のいずれか1に記載のIC搭載用基板 において、プログラマブルICが複数設けられ、これら 複数のプログラマブル I Cはバス装置接続用コネクタや ICソケットへの接続を分担し、バス装置接続用コネク タやICソケットに接続していない互いの入出力端子が 接続されているものである。

【0045】 この I C搭載用基板では、1 つのプログラ マブルICの入出力端子の数がバス装置接続用コネクタ やICソケットの端子に比べて少ない場合に、複数のプ ログラマブルICで、バス装置接続用コネクタやICソ ケットへの接続を分担することが可能になる。

【0046】請求項21記載のIC搭載用基板は、請求 項13ないし20のいずれか1に記載のIC搭載用基板 において、プログラマブルICを、フィールド・プログ ラマブル・ゲート・アレイとしたものである。

【0047】 請求項22記載のIC搭載用基板は、請求 項13ないし20のいずれか1に記載のIC搭載用基板 において、プログラマブル I Cを、プログラマブル・ロ ジック・デバイスとしたものである。

【0048】請求項23記載のバス装置は、コネクタ、 I Cを揮すための I Cソケット、および、一部の入出力 端子がICソケットの全ての端子にそれぞれ接続され、 他の入出力端子がコネクタの端子に接続された、結線と 論理がプログラム可能なプログラマブル I Cを有する I

をバス接続するためのバス装置とを備えた試作支援装置 に用いられ、互いにバス接続され、それぞれ I C搭載用 基板のコネクタと結合するための複数のバス接続用コネ クタを備え、この複数のパス接続用コネクタのうち、少 なくとも一つのバス接続用コネクタは、その接続方向が 他のバス接続用コネクタの接続方向に対して直角方向に なるように配置されているものである。

【0049】このバス装置では、バス装置の複数のバス 接続用コネクタに接続する複数のIC搭載用基板のうち の少なくとも一つを他の I C 搭載用基板に対して直角方 10 てのピンが F P G A 2 2の入出力端子と結ばれている。 向に配置することが可能になり、デバッグや調整が容易 になる。

【0050】請求項24記載のバス装置は、請求項23 記載のパス装置において、各バス接続用コネクタの接続 方向に合わせたIC搭載用基板案内用のガイドレールを 更に備えたものである。

【0051】このバス装置では、IC搭載用基板をガイ ドレールに沿って案内して、バス装置のパス接続用コネ クタに接続することができ、バス装置に対するIC搭載 用基板の接続が容易になる。

[0052] 【実施例】以下、本発明の実施例について図面を参照し て詳細に説明する。

【0053】図1は本発明の第1の実施例に係る試作支 援装置の外観を示す斜視図、図2は図1におけるIC搭 裁用基板の平面図、図3は図1に示した試作支援装置の ブロック図である。これらの図に示すように、本実施例 の試作支援装置は、パス装置10と、このパス装置10 に接続されるIC搭載用基板20とを備えている。パス 装置10は、複数、例えば3つのコネクタ11と、これ 30 は、論理ブロック31は、ルックアップテーブル311 ちのコネクタ11を互いにバス接続するパス配線BUS 1~BUSmを有するバス基板12とを備えている。 I C搭載用基板20は、バス装置10のコネクタ11と結 合するためのコネクタ21と、ユーザが任意のディジタ ルICを挿すためのICソケット23と、一部の入出力 端子がICソケット23の全ての端子にそれぞれ接続さ れ、他の入出力端子がコネクタ21の端子に接続された **FPGA(フィールド・プログラマブル・ゲート・アレ** イ;Field Programmable Gate Array) 22とを備えて 元で自由にプログラム可能なプログラマブルICであ

【0054】図2に示したように、IC搭載用基板20 のコネクタ21は1C搭載用基板20の長手方向の端部 に設けられ、バス装置10のコネクタ11とIC搭載用 基板20のコネクタ21の接続方向はバス基板12に対 して直角方向であり、IC搭載用基板20をバス装置1 O に接続した状態では、図1に示したように、IC搭載 用基板20は垂直になる。

である。バス装置10の複数のコネクタ11は、m本の バス配線BUS1~BUSmによって互いにバス接続さ れている。

【0056】図5は図1におけるIC搭載用基板20の 回路図である。IC搭載用基板20のコネクタ21のm 本のピンは、FPGA22の入出力端子IOa1~IO amと配線で結ばれている。ICソケット23のn本の ピンは、FPGA22の入出力端子IOb1~IObn と配線で結ばれている。ここで、ICソケット23の全 これは、「Cソケット23に挿す任意のICがどのよう なICであっても対応できるようにするためである。 I Cのどのピンにどういった信号を割り振るかは、ICに よってまちまちである。

【0057】図6は図1におけるFPGA22の構造の 一例を示すブロック図である。この図に示す例では、F PGA22は、規則正しく配列された多数の論理プロッ ク (A~I) 31と、隣接する論理ブロック31間に設 けられたクロスポイントスイッチ32と、四方のクロス 20 ポイントスイッチ32の任意の端子間を接続するスイッ チマトリックス33とを備えている。 クロスポイントス イッチ32は、四方の入出力端子321間の接続関係を 任意に設定することができるようになっている。 図6で は、論理プロックAの端子OUT2と論理ブロックEの 端子a2とを、クロスポイントスイッチ32とスイッチ マトリックス33を介して接続している例を示してい

[0058] 図7は図6における論理プロック31の構 成の一例を示すブロック図である。この図に示す例で とセレクタ312とフリップフロップ313とスリース テートバッファ314,315とを備えている。ルック アップテーブル311の3つの入力端子は論理ブロック 31の入力端子a1~a3に接続され、ルックアップテ ーブル311の出力端子はスリーステートバッファ31 4の入力端子に接続されていると共に、セレクタ312 の一方の入力端子に接続されている。セレクタ312の 他方の入力端子は論理ブロック31の入力端子bに接続 されている。セレクタ312の切り換えのための制御入 いる。FPGA22は、内部の結線と論理がユーザの手 40 力端子は論理ブロック31の入力端子cに接続されてい る。セレクタ312の出力端子はフリップフロップ31 3の入力端子Dに接続され、フリップフロップ313の **出力端子はスリーステートバッファ315の入力端子に** 接続されている。フリップフロップ313のクロック入 力端子は論理ブロック31のクロック入力端子CLKに 接続されている。スリーステートバッファ314,31 5の各出力制御入力端子はそれぞれ論理プロック31の 入力端子〇E1、〇E2に接続されている。 スリーステ ートバッファ314、315の各出力端子はそれぞれ論 【0055】図4は図1におけるパス装置10の回路図 50 理ブロック31の出力端子OUT1, OUT2に接続さ れている。ルックアップテーブル311は、3つの入力 の組合せに対して出力を任意に定義することができる。 ルックアップテーブル311の内容やセレクタ312の 切り換えのための情報は、論理プロック31内に配置さ れている図示しないヒューズやROMあるいはSRAM (スタティックRAM) によって保持されるようになっ ている。そして、外部からこの内容を設定することによ り、論理ブロック31の機能をプログラムすることがで きるようになっている。

【0059】図8は図6におけるクロスポイントスイッ 10 チ32の構成の一例を示すプロック図である。この図に 示す例では、クロスポイントスイッチ32は、端子a1 1~a13と端子c11~c13を結ぶ配線と、端子b 11~b13と端子d11~d13を結ぶ配線と、各配 線の交差する点に設けられ、交差する配線を接続可能な スイッチS1~S9と、各スイッチS1~S9の制御端 子に接続され、各スイッチ S 1~ S 9のオン、オフの情 報を記憶した記憶素子 (ヒューズやROMあるいはSR AM) M1~M9とを備えている。このクロスポイント によって端子a 13, c 13と端子b 11, d 11が結 ばれる。そして、外部からスイッチ S1~ S9のオン、 オフを、記憶素子M1~M9に設定することにより、複 数の論理ブロック31間の端子の接続関係をプログラム するアンができるようになっている。

【0060】図9は図6におけるスイッチマトリックス 33の構成の一例を示すプロック図である。この図に示 す例では、スイッチマトリックス33は、各端子221 ~a23, b21~b23, c21~c23, d21~ d23毎に、自身と他の全ての端子とをスイッチ331 30 を介して結んだものである。なお、図9では、端子b2 1からの接続のみを示し、他を省略している。各スイッ チ331のオン、オフは、スイッチマトリックス33内 に設けられた図示しない記憶素子 (ヒューズやROMあ るいはSRAM) によって設定されるようになってお り、外部から各スイッチ331のオン、オフを、記憶素 子に設定することにより、複数の論理プロック31間の 端子の接続関係をプログラムすることができるようにな っている。

【0061】図10は図5に示したFPGA22の結線 40 と論理のプログラムの一例を示す説明図である。FPG A 2 2は、入出力端子 I O a 1~ I O a m, I O b 1~ IObn間を自由に結線することができ、また、結線の 間に論理回路を入れることもできる。図10に示す例で は、入出力端子IOa2からIOb3へパッファ41を 介して接続し、入出力端子IObjからIOa1へパッ ファ42を介して接続し、アンドゲート43によって入 出力端子IOaiとIOai+2の論理積をとって入出力 端子 I O b j+1 へ出力している。このような結線と論理 の指示は、電源投入時に外部からFPGA22のプログ 50

ラム端子に結線および論理データを入れることにより行 われる。結線および論理データは、例えば、パーソナル コンピュータ上のスクリーンエディタを使ってソースプ ログラムを作り、このソースプログラムをFPGA専用 のコンパイラにかけることにより作成することができ る。従って、ソースプログラムを変更することにより、 FPGA22の結線および論理を変更することができ

14

【0.062】次に、マイクロコンピュータを試作する場 合を例にとり、本実施例の試作支援装置の作用について 説明する。

【0063】図11は本実施例の試作支援装置を用いて 試作するマイクロコンピュータの構成を示す回路図であ る。このマイクロコンピュータは、CPU51としてZ 80 (米国ザイログ社の商標) と、PROM (プログラ マブルROM) 52としての27256と、負論理のア ンドゲート53としてのSN74LS32とによって構 成されている。なお、クロック回路、リセット回路等の 周辺回路は省略している。CPU51のピンD0~D7 スイッチ32では、例えば、スイッチS7を関じること 20 はPROM52のピンD0~D7に接続され、CPU5 1のピンA 0~A 1 4はPROM 5 2のピンA 0~A 1 4に接続され、CPU51のピンA15はPROM52 のピンCE* (" " は負論理であることを表す。) に 接続されている。CPU51のピンMREQ゜とピンR D* は負論理のアンドゲート53の各入力端子に接続さ M_RD*)はPROM52のピンOE*に接続されて いる。図11において、CPU51とPROM52の各 ピンの外側に記してある数字は、IC搭載用基板20に 揮す場合のICソケット23のピン番号を表している。 【0064】以下、本実施例の試作支援装置を用いて図 11に示したマイクロコンピュータを試作する場合の組 み立て、バス配線BUS1~BUSmへの信号の割り当 て、FPGA22のプログラム、マイクロコンピュータ の動作について順に説明する。

【0065】(1)組み立て

1枚のIC搭載用基板20のICソケット23には、C PU51としての280を挿す。他のIC搭載用基板2 OのTCソケット23には、PROM52としての27 256を挿す。PROM52としての27256には、 適宜の方法で、CPU51としての280で実行するプ ログラムが書き込まれているものとする。この2枚のI C搭載用基板20の各コネクタ21を、バス装置10の 2つのコネクタ11に押し、それぞれコネクタ21とコ ネクタ11を結合させる。この結合により、パス装置1 0のパス配線BUS1~BUSmを介して、2枚のIC 搭載用基板20のコネクタ21の同一番号のピンは互い に接続される。図1は、以上の組み立てが完了した状態

【0066】(2) バス配線BUS1~BUSmへの信

号の割り当て 試作支援装置を用いて試作するマイクロコンピュータで は、CPU51のピンとPROM52のピンとをFPG A 2 2 とバス装置 1 0 を介して接続する。ここで、CP U51やPROM52の信号をピン番号通りにコネクタ 21に出したのでは、CPU51とPROM52の間は 図11に示した回路図のようには接続されない。そこ で、СРU51を挿したIC搭載用基板20のコネクタ 21と、PROM 5 2を挿した I C搭載用基板 2 0 のコ ネクタ21の同一番号のピンは、互いにバス装置10を 10 介して接続されることを考慮し、CPU51とPROM 52の間が図11に示した回路図の通りに接続されるよ うに、各FPGA22内部の結線と論理をプログラムす る。そのため、図12に示すように、各IC搭載用基板 2.0のコネクタ2.1のピンおよびバス装置1.0のバス配 線BUS1~BU25に、信号A0~A15, D0~D 7. MEM RD を割り当てる。

【0067】(3) FPGAのプログラム

各I C 搭載用基板20上のI C、すなわち、2つのF P G A 22とC P U 5 1 と P R O M 5 2 には、適宜の方法 20 で電源を供給する。また、F P G A 2 2のプログラム端 子に結練および倫理データを入れることで、2つのF P G A 2 2 のプログラムを行う。

[0068] 図13および図14はCPU51としての Z80を挿したIC搭載用基板20のFPGA22のプ ログラムの内容を示したものである。これらの図におい て、バス配線、割当信号名、コネクタピン番号は図12 と同じものである。CPU51を挿したIC搭載用基板 20のFPGA22では、FPGA22の端子IOb3 0~IOb40, IOb1~IOb5から端子IOa1 30 ~ I O a 1 6 へ、それぞれパッファ 6 1 を介して接続 し、蟾子IOa17~IOa24と端子IOb14、I Ob 15, IOb 12, IOb 8, IOb 7, IOb 9、 I O b 1 0、 I O b 1 3 間は、それぞれ双方向バッ ファ62を介して接続している。FPGA22の端子 I Ob 21は、各双方向パッファ62の端子IOb14~ IOb 13側から端子IOa 17~IOa 24側へ信号 を出力するパッファの制御端子に接続していると共に、 ノットゲート63の入力端子に接続している。ノットゲ ―ト63の出力端子は、各双方向パッファ62の端子I Oa17~IOa24側から端子IOb14~IOb1 3 側へ信号を出力するバッファの制御端子に接続してい る。FPGA22の端子IOb21、IOb19は負論 理のアンドゲート64の各入力端子に接続し、負論理の アンドゲート64の出力端子はFPGA22の端子IO a 2 5 に接続している。負論理のアンドゲート 6 4 は図 11における魚論理のアンドゲート53に対応するもの である。

 【0069】図15および図16はPROM52として
 線や論理を変更することができるので、回路の修正がの27256を挿した1C搭載用基板20のFPGA2
 50 易である。また、FPGA22や1C搭載用基板20

2 のプログラムの内容を示したものである。これらの図 において、バス配線、割当信号名、コネクタピン番号は 図12と同じものである。PROM52を挿したIC搭 裁用基板20のFPGA22では、FPGA22の端子 IOa1~IOa15から端子IOb10~IOb3, IOb 25, IOb 24, IOb 21, IOb 23, I Oh 2. IOb 2 6、IOb 2 7へパッファ 6 5を介し て接続している。また、FPGA22内部に標準TTL (トランジスタ・トランジスタ・ロジック) のLS24 5に相当する双方向パスパッファ66を構成し、FPG ファ66の入出力端子A1~A8に接続し、FPGA2 2の端子IOb11~IOb13, IOb15~IOb 19を双方向バスパッファ66の入出力端子B1~B8 に接続している。また、FPGA22の端子IOa1 IOa25をそれぞれパッファ67、68の入力端 子に接続し、パッファ67の出力端子を双方向バスパッ ファ66のイネーブル、ディセーブルを制御する制御端 子GとFPGA22の端子IOb20に接続し、パッフ ァ68の出力端子を双方向バスバッファ66の信号の入 出力方向を制御する制御端子DIRとFPGA22の端 子10b22に接続している。

16

【0070】このように、CPU51を押した1C搭載 用基板20のFPCA2と、PRのM2を発生した1 C搭載用基板20のFPGA2である。 に対し図16に示したようにプログラムすることによ り、CPU51とPROM5で開発限11に示した回 路図の適かに接続することができる。

【0071】(4)マイクロコンピュータの動作

適宜の方法で、CPU51のリセットを解除し、CPU 510動作をスタートさせると、CPU51は、PRO M52から命令を読み込み、その命令に従って動作す る。

【0072】以上説明したように本実施例によれば、任 膏のICをIC搭載用基板20のICソケット23に挿 し、IC搭載用基板20をバス装置10に挿し、エディ タでFPGA22のプログラムを作成し、コンパイル し、FPGA22をプログラムすることにより、ICを 用いた装置を試作することができるので、短い時間でデ ィジタル回路およびマイクロコンピュータ応用回路を試 作することが可能となる。しかも、試作のためにプリン ト基板を新たに作成する方法や、半田付けやラッピング 接続による配線を行うのに比べて短い時間で済むと共 に、安価である。また、信頼性の落ちるジャンパ線での 接続は少量で済み、全体をジャンパ線で接続する方式の ブレッドボードによる試作に比べて信頼性が高くなる。 【0073】また、本実施例によれば、FPGA22の プログラムをエディタで修正すると、FPGA22の結 線や論理を変更することができるので、回路の修正が容 は、プログラムやICを入れ換えて何度でも使うことが できる。

[0074]また、本実施例によれば、I C 搭載用基板 2 0が複数に別れてモジュール化され、便用時は立体構 造をとるため、1 枚の大きなプリント基板に F P G A や I Cソケットを数多く並べる方法に比べて、面積をとら ず、バス配線の長さも短くで済む。

【0075】また、本実施例によれば、複数のICをバスで接続する装置の試作も可能になる。

【0076】次に、図17ないし図33を用いて、本発 10 明の第2の実施例について説明する。本実施例は、第1 の実施例に比べて、より具体的にそして、より使い易く したものである。

【0077】図17は本発明の第2の実施例に係る試作 支援装置の外観を示す斜視図である。本実施例における パス装置10は、複数、例えば4つのコネクタ11a. 11a, 11a, 11bと、これらのコネクタ11a. 11a, 11a, 11bを互いにバス接続するバス配線 を有するパス基板12と、このパス基板12の一方の側 部に垂直に取り付けられたガイド用板13と、このガイ 20 ド用板13に設けられた4つのガイドレール14a,1 4 a, 1 4 a, 1 4 b とを備えている。バス基板 1 2 の 外側寄りの3つのコネクタ11aはIC搭載用基板20 のコネクタ21との接続方向がバス基板12に対して垂 直方向であり、バス基板12の中央側の他の1つのコネ クタ11 bは I C搭載用基板20のコネクタ21との接 続方向がバス基板12に対して平行な方向になってい る。ガイドレール14 aは、IC搭載用基板20をコネ クタ11 a に挿す際に I C搭載用基板20を案内するも のであり、ガイドレール14bは、IC搭載用基板20 30 をコネクタ11bに揮す際にIC搭載用基板20を案内 するものである。IC搭載用基板20をコネクタ11a に描す場合には、IC搭載用基板20をガイドレール1 4 aに沿って、バス基板12に対して垂直方向に揮す。 I C搭載用基板20をコネクタ11bに挿す場合には、 I C搭載用基板20をガイドレール14bに沿って、バ ス基板12に対して平行な方向に挿す。

【0078] 図18は図17におけるIC指載用基板2 0の平面図である。本実施制におけるIC指載用基板2 0の平面図である。本実施制におけるIC指載用基板2 00は、バス装面10のコネクタ11(11a,11bを 40 代表する。)と結合するためのコネクタ211と、内部 の転線と論理を自由にプログラム可能なPF6A22 よ、二サが任意のICを挿すためのICソケット23 1,232,233と、他のIC搭載用基板20等の他 砂装置と均接砂0ための装置被料用ネクタ212とを 備えている。IC密域用基板20は、更に、ICソケット 231に関り合うように配置され、ジャンパ線を削す ための第1の補助ソケットとしての丸ピンソケット24 1,242と、コネクタ212に隣り合うように配置さ れた第2の補助ソケットとしての丸ピンソケット24 4 50

と、この丸ピンソケット 244 に勝り合うように配置され、丸ピンソケット 24 との間で正いに頻路とンで接 終するための第3の補助ソケットとしての丸ピンソケット 243と、1 Cソケット 23 2に勝り合うように配置され、ジャンパ線を押すための第4の補助ソケットとしての丸ピンソケット 245、246と、1 Cソケット 23 3に勝り合うように配置され、ジャンパ線を押すための第4の補助ソケットとしての丸ピンソケット 247、248、249、2410とを備えている。1 C持続用

18

基板20は、更に、電源に接続され、丸ピンソケットで 構成された電源ソケット251と、接地され、丸ピンソ ケットで構成された接地ソケット252とを備えてい

[0079] 図19は図18に示した1C結果問題でののプロック図である。コネクタ211、ICングット231、東ビングット241~243はFPGA22 に接続されている。東ビンソケット244は接頭接続町ユネクタ212は接続されている。東ビンソケット245、246はICソケット232に接続されている。東ビンソケット233に接続されている。東ビンソケット233に接続されている。東ビンソケット233に接続されている。

【0080】図20は関19におけるコネクタ211、 ICソケット231、丸ピンソケット241~243と FPGA22との接続関係を示す回路質である。コネク タ2110m本のピンはFPGA22の入出力端子10 a1~IOamと配線で結結れている。ICソケット2 31のピン1~nはFPGA22の入出力端子10b1 ~10bnと回線で結結れている。また、ICソケット 231のピン1~n/2は丸ピンケット241のピン 1~n/2と丘線で結結れ、ICソケット231のピン n/2+1~nは丸ピンソケット2430ピン 1~pはFPGA22の入出力端子10b1~10bp 下野球で結結れている。丸ピンソケット243のピン 1~pはFPGA22の入出力端子10b1~10bp

【0081】関21は関19におけるコネクタ211、 「Cソケット231、丸ビンソケット241~243、 FPGA22以外の配機を示す回時限である。コネクタ 212のp本のピンは丸ピンソケット244のピン1~ Pを開始で試れている。「Cソケット232のピン1 ~q/2は丸ピンソケット245のピン1~q/2と配 線で結ばれ、「Cソケット232のピン1~Q/2とれで は丸ピンソケット246のピン1~q/2と配機で結ばれ、「Cソケット233のピン1~q/2と配機で結ばれてしる。「Cソケット233のピン1~q/2と配機で ばれ、「Cソケット233のピンq/2+1~向は丸ピ ンソケット249、2410のピン1~q/2と配機で はれている。電かケット251のピン1~マイとと配線で はれている。電かケット251のピン1~にはおり とので調料を検討され、接触ケット252のピン1~に は始地されている。

0 【0082】次に、マイクロコンピュータを試作する場

合を例にとり、本実施例の試作支援装置の作用について 説明する。

「nn83] 図22および図23は本実施例の試作支援 装置を用いて試作するマイクロコンピュータの構成を示 す回路図である。このマイクロコンピュータは、CPU 512UTZ802、PROM522UT027256 と、SRAM71としての6264と、パラレルインタ フェース I C 7 2 としての 8 2 5 5 とを備えている。 C PU51のクロック入力ピンCLKには水晶発振モジュ ール73が接続されている。CPU51のリセット入力 10 ルインタフェースIC72の各ピンの外側に記してある ピンRESET にはリセット回路74が接続されてい る。リセット回路74は、抵抗器741とリセットスイ ッチ742とダイオード743とコンデンサ744とで 構成されている。抵抗器 7 4 1 の一端には電源電圧 V C Cが印加され、抵抗器 7 4 1 の他端はリセットスイッチ 742の一端に接続され、リセットスイッチ742の他 端は接地されている。抵抗器 7 4 1 の両端間には、カソ ードが電源電圧側となるようにダイオード743が接続 され、リセットスイッチ742の両端間には、正極が電 源電圧倒となるようにコンデンサ744が接続されてい 20 る。抵抗器741とリセットスイッチ742の接続点 は、CPU51のリセット入力ピンRESET* に接続 されていると共に、ノットゲート75を介してパラレル

インタフェースIC72のリセット入力ピンRESET に接続されている。

[0084] CPU51のピンD0~D7は、PROM 52のピンD0~D7と、SRAM71のピンD0~D 7 と、パラレルインタフェース I C 7 2 のピンD 0 ~ D 7 とに接続されている。CPU51のピンA0~A14 はPROM52のピンA0~A14に接続され、CPU 30 51のピンA15はPROM52のピンCE^{*} に接続さ れている。CPU51のピンA0~A12はSRAM7 1のピンA0~A12に接続され、CPU51のピンA 15はノットゲート76を介してSRAM71のピンC S 1 に接続されている。C P U 5 1 のピンA 0 ~ A 2 はパラレルインタフェースIC72のピンA0、A1、 CS°に接続されている。

[0085] CPU510YVMREQ EYVRD は自論理のアンドゲート77の各入力端子に接続され、 自論理のアンドゲート77の出力端子(信号名MEM RD')はPROM52のピンOE'とSRAM71の ピンOE*とに接続されている。CPU51のピンMR EO* とピンWR* は負論理のアンドゲート78の各入 力端子に接続され、負論理のアンドゲート78の出力端 子 (信号名MEM_WR*) はSRAM71のピンWE に接続されている。CPU51のピンIORQ とピ ンRD は負論理のアンドゲート79の各入力端子に接 続され、負論理のアンドゲート79の出力端子(信号名 IO RD) はパラレルインタフェースIC72のピ ンRD*に接続されている。CPU51のピンIORQ 50

とピンWR^{*} は負論理のアンドゲート80の各入力端 子に接続され、負論理のアンドゲート80の出力端子 (信号名 I O_WR) はパラレルインタフェース I C 72のピンWR^{*} に接続されている。

【0086】パラレルインタフェースIC72のピンP A0~PA7はポート81のピン2、4、…、14、1 6に接続され、ポート81のピン1、3、…, 15、1 7は接地されている。なお、図22および図23におい て、CPU51、PROM52、SRAM71、パラレ 数字は、IC搭載用基板20に挿す場合のICソケット 231のピン番号を表し、水晶発振モジュール73のビ ンの外側に記してある数字はICソケット232のピン 番号を表している。

【0087】以下、本実施例の試作支援装置を用いて図 2 2 および図23 に示したマイクロコンピュータを試作 する場合の配線および組み立て、バス配線 BUS1~B IIS mへの信号の割り当て、FPGA22のプログラ ム、マイクロコンピュータの動作および調整について順 に影明する。

[0088] (1) 配線および組み立て

まず、4枚のIC搭載用基板20のICソケット231 に、それぞれ、CPU51としてのZ80、PROM5 2 としての27256、SRAM71としての626 パラレルインタフェースIC72としての8255 を挿す。 PROM 5 2としての2 7 2 5 6 には、適宜の 方法で、CPU51としてのZ80で実行するプログラ ムが書き込まれているものとする。

【0089】次に、図24に示すように、CPU51を 插した I C搭載用基板 2 0 上で、C P U 5 1 の電源入力 ピンに対応する丸ピンソケット241のピン(ピン番号 11)と電源ソケット251のピンとをジャンパ線83 **か介して榕縒し、CPU51の接地ピンに対応する丸ピ** ンソケット242のピン(ピン番号29)と接地ソケッ ト252のピンとをジャンパ線83を介して接続する。 次に、CPU51の周辺回路であるクロック回路および リセット回路を作成する。すなわち、ICソケット23 2に水量発振モジュール73を挿し、水晶発振モジュー ル73の電源入力ピンに対応する丸ピンソケット246 40 のピン (ピン番号14) と電源ソケット251のピンと をジャンパ線83を介して接続し、水晶発振モジュール 73の接地ピンに対応する丸ピンソケット245のピン (ピン番号7) と接地ソケット252のピンとをジャン パ線83を介して接続する。また、水晶発振モジュール 73の出力ピンに対応する丸ピンソケット246のピン (ピン番号8) と、CPU51のピンCLKに接続され た丸ピンソケット241のピン(ピン番号6)とをジャ ンパ線83を介して接続する。

【0090】また、ICを挿していないICソケット2 33の所定のピンに、リセット回路74を構成する抵抗 器741、リセットスイッチ742、ダイオード74 3. コンデンサ744を挿し、これらに接続された丸ピ ンソケット248、249のピンを図24に示すように ジャンパ線83で接続することにより、抵抗器741と ダイオード743の両端、リセットスイッチ742とコ ンデンサ744の両端を、それぞれ接続する。また、ダ イオード743とリセットスイッチ742に接続された 丸ピンソケット247のピン間をジャンパ線83で接続 することにより、抵抗器741およびダイオード743 と、リセットスイッチ742およびコンデンサ744と 10 て接続されることを考慮し、СРU51、РROM5 を接続する。更に、抵抗器741に接続された丸ピンソ ケット2410のピンと電源ソケット251のピンとを ジャンパ線83を介して接続し、リセットスイッチ74 2に接続された丸ピンソケット2410のピンと接地ソ ケット252のピンとをジャンパ線83を介して接続す る。また、抵抗器741に接続された丸ピンソケット2 47のピンと、CPU51のピンRESET* に接続さ れた丸ピンソケット242のピン (ピン番号26) とを ジャンパ線83を介して接続する。

【0091】次に、図25に示すように、パラレルイン 20 タフェースIC72を挿したIC搭載用基板20上で、 パラレルインタフェースIC72の出力を外部の装置に 送るため、パラレルインタフェースIC72のピンPA 0~PA7に接続された丸ピンソケット243のピン と、これに隣接する丸ピンソケット244のピンとを短 絡ピン84を介して接続する。

【0092】次に、図17に示したように、それぞれP ROM52、SRAM71、パラレルインタフェースI C72を挿した3枚のIC搭載用基板20を、ガイドレ ール14 a に沿って窓内して、各コネクタ211をバス 30 装置10のコネクタ11aに揮す。また、CPU51を 挿した1枚のIC搭載用基板20を、ガイドレール14 bに沿って案内して、コネクタ211をバス装置10の コネクタ11bに押す。この結合により、バス装置10 のバス配線BUS1~BUSmを介して、4枚のIC搭 載用基板20のコネクタ211の同一番号のピンは互い に接続される。CPU51を押したIC搭載用基板20 は水平に設置され、部品面が上にあるので、ジャンパ線 83の抜き挿し等のデバッグや、測定器のプローブ等を 回路に接触させて行う調整が行い易くなっている。ま た、CPU51を挿したIC搭載用基板20の隣に垂直 に立っているIC搭載用基板20は、基板の半田面が見 えているので、半田面からのデバッグや調整が行い易く なっている。他のIC搭載用基板20を、CPU51を 挿したIC搭載用基板20と入れ換えれば、他のIC搭 裁用基板 2 D のデバッグや調整もできる。

【0093】(2)パス配線BUS1~BUSmへの信 号の割り当て

試作支援装置を用いて試作するマイクロコンピュータで

ルインタフェースIC72の各ピンを、FPGA22と パス装置10を介して接続する。ここで、CPU51、 PROM52、SRAM71、パラレルインタフェース IC72の信号をピン番号通りにIC搭載用基板20の コネクタ211に出したのでは、CPU51、PROM 52、SRAM71、パラレルインタフェースIC72 の間は図22および図23に示した回路図のようには接 続されない。そこで、各IC搭載用基板20のコネクタ 211の同一番号のピンは、互いにバス装置10を介し SRAM71、パラレルインタフェースIC72の 間が図22および図23に示した回路図の通りに接続さ れるように、各FPGA22内部の結線と論理をプログ ラムする。そのため、図26に示すように、各IC搭載 用基板20のコネクタ211のピンおよびパス装置10 のパス配線 B U S 1 ~ B U 2 9 に、信号 A 0 ~ A 1 5. DO~D7, MEM_RD', MEMWR', IO_R D^{*} , IO_WR^{*} , RESETを割り当てる。 【0094】(3) FPGAのプログラム

各IC搭載用基板20上の4つのFPGA22には、適 宜の方法で電源を供給する。各IC搭載用基板20上の CPU51等の他のICには、電源ソケット251に挿 したジャンパ線83を通して電源が供給される。また、 各FPGA22のプログラム端子に結線および論理デー タを入れることで、各FPGA22のプログラムを行 う。

【0095】図27および図28はCPU51としての Z80を挿したIC搭載用基板20のFPGA22のプ ログラムの内容を示したものである。これらの図におい て、バス配線、割当信号名、コネクタビン番号は図26 と同じものである(図29~図33においても同様)。 CPU51を挿したIC搭載用基板20のFPGA22 では、FPGA22の端子IOb30~IOb40、I Ob 1~IOb 5から端子IOa 1~IOa 1 6へ、そ れぞれパッファ61を介して接続し、端子IOa17~ IOa24と端子IOb14, IOb15, IOb1 2. IOb8, IOb7, IOb9, IOb10, IO b 1 3 間は、それぞれ双方向バッファ 6 2 を介して接続 している。FPGA22の端子IOb21は、各双方向 40 パッファ62の端子IOb14~IOb13側から端子 I O a 1 7~ I O a 2 4 側へ信号を出力するバッファの 制御端子に接続していると共に、ノットゲート63の入 力端子に接続している。ノットゲート63の出力端子 は、各双方向バッファ62の端子IOa17~IOa2 4側から端子 I O b 1 4~ I O b 1 3 側へ信号を出力す るパッファの制御端子に接続している。FPGA22の 端子IOЬ19, IOЬ21は負給理のアンドゲート8 5の各入力端子に接続し、負論理のアンドゲート85の 出力端子はFPGA22の端子IOa25に接続してい は、CPU51、PROM52、SRAM71、パラレ 50 る。FPGA22の端子IOb19, IOb22は負論

24

理のアンドゲート86の名人が端子に接続し、負論理のアンドゲート86の出力端子は下PGA22の端子10 2 2 2 2 9 3 2 3 2 6 2 2 6 2 2 9 3 4 3 2 5 2 5 2 4 3 2 9

【0096】図29および図30はPROM52として の27256を挿したIC搭載用基板20のFPGA2 2のプログラムの内容を示したものである。PROM5 2を描したIC搭載用基板20のFPGA22では、F PGA22の端子IOa1~IOa15から端子IOb 10~IOb3, IOb25, IOb24, IOb2 1, IOb23, IOb2, IOb26, IOb27^ バッファ 6 5 を介して接続している。また、FPGA 2 20 2内部に標準TTLのLS245に相当する双方向パス バッファ66を構成し、FPGA22の端子IOa17 ~IOa24を双方向バスバッファ66の入出力端子A 1~A8に接続し、FPGA22の端子IOb11~I Ob13、IOb15~IOb19を双方向バスパッフ ァ66の3出力端子R1~R8に接続している。また、 FPGA22の端子IOa16, IOa25をそれぞれ バッファ67、68の入力端子に接続し、バッファ67 の出力端子を双方向バスバッファ66の制御端子GとF PGA22の端子IOb20に接続し、バッファ68の 30 出力端子を双方向バスバッファ66の制御端子DIRと FPGA22の端子IOb22に接続している。

【0097】図31および図32はSRAM71として の6264を挿したIC搭載用基板20のFPGA22 のプログラムの内容を示したものである。SRAM71 を挿したIC搭載用基板20のFPGA22では、FP GA22の端子IOa1~IOa13, IOa26から 端子IOb10~IOb3, IOb25, IOb24, IOb 21, IOb 23, IOb 2, IOb 27へパッ ファ90を介して接続している。また、FPGA22内 40 部に標準TTLのLS245に相当する双方向パスパッ ファ91を構成し、FPGA22の端子IOa17~I Oa24を双方向バスパッファ91の入出力端子A1~ A8に接続し、FPGA22の端子IOb11~IOb 13. IOb15~IOb19を双方向バスパッファ9 1の入出力端子B1~B8に接続している。また、FP GA22の端子IOa16をノットゲート92の入力端 子に接続し、ノットゲート92の出力端子を双方向バス バッファ66の制御端子GとFPGA22の端子IOb 20に接続している。また、FPGA22の端子IOa 50 形が可能である。

25をバッファ93の入力端子に接続し、バッファ93 の出力端子を双方向バスバッファ91の制御端子DIR とFPGA22の端子IOb22に接続している。 「0098] 図33はパラレルインタフェース [C 7 2 としての8255を挿したIC搭載用基板20のFPG A 2 2のプログラムの内容を示したものである。 パラレ ルインタフェース I C 7 2を挿した I C搭載用基板 2 0 のFPGA22では、FPGA22の端子IOa1, I Oa2. IOa28, IOa29から端子IOb9, I て接続している。また、FPGA22内部に標準TTL のLS245に相当する双方向バスパッファ95を構成 し、FPGA22の端子IOa17~IOa24を双方 向パスパッファ95の入出力端子A1~A8に接続し、 FPGA22の端子IOb34~IOb27を双方向バ スパッファ95の入出力端子B1~B8に接続してい る。また、FPGA22の端子IOa3をパッファ96 の入力端子に接続し、パッファ96の出力端子を双方向 バスパッファ95の制御端子GとFPGA22の端子I Ob6に接続している。また、FPGA22の端子IO a 2 7をパッファ 9 7の入力端子に接続し、バッファ 9 7の出力端子を双方向パスパッファ95の制御端子DI RとFPGA22の端子IOb5に接続している。 [0099] このように、CPU51、PROM52、 SRAM71、パラレルインタフェースIC72を挿し た各IC搭載用基板20のFPGA22の結線と論理を 図27ないし図33に示したようにプログラムすること により、CPU51、PROM52、SRAM71、パ ラレルインタフェース I C 7 2 の間を図22 および図2 3に示した回路図の通りに接続することができる。 【0100】(4)マイクロコンピュータの動作 CPU51を挿したIC搭載用基板20上のリセットス イッチ742を押して、CPU51の初期化と動作のス タートを行わせると、CPU51は、PROM52から 命令を読み込み、その命令に従って動作し、SRAM7 1やパラレルインタフェースIC72にアクセスする。 【0 1 0 1 】以上説明したように本実施例によれば、任 意のICや部品をIC搭載用基板20のICソケット2 31. 232. 233に挿し、必要に応じてジャンパ線 8.3で接続を行い、IC搭載用基板2.0をバス装置1.0 に挿し、エディタでFPGA22のプログラムを作成 し、コンパイルし、FPGA22をプログラムすること により、ICを用いた装置を試作することができる。ま た、IC搭載用基板20をバス装置10に挿す方向に、 垂直方向と水平方向とがあるため、IC搭載用基板20 のデバッグや調整が行い易い。本実施例のその他の構 成、作用および効果は第1の実施例と同様である。 【0102】なお、本発明は上記各実施例に限定され ず、例えば、以下の図34ないし図37に示すような変 【0 1 0 3 】 図 3 4 は、F P G A 2 2 の入出力端子の数が、コネクタ2 1 (またはコネクタ2 1 1) および f C ソケット 2 3 《またはコネクタ2 3 1) のピン酸比比べて少ない場合に、複数の F P G A を用いた例である。図 3 4 では、2つの F P G A 2 2 1、2 2 2 で、それぞれコネクタ2 1 と 1 に ソケット 2 3 に接続していない入出力端子 1 C ソケット 2 3 に接続していない入出力端子 1 C ソケット 2 3 に接続していない入出力端子 1 C ソケット 2 3 に接続していない入出力によりないよりなる。これは、互いに相手が担当しているコネクタ2 1 や I C ソケット 2 3 のピンに信号を送ることができるようにするためである。

【0104】図35は、FPGA2とに接続された【C
ソケットとして、互いに異なる形状の複数(図35では、
この)の「Cソケット23Aのピン1~nはF
PGA22の入出力端子10b1~10bnに接続さ
れ、「Cソケット23Bのピン1~vはFPGA22の
入出力端子10b1~10b vに接続されている。この
よりに被数の「Cソケットを設めることにより、目的
の「任徳明ឝ基仮20で、複数の形状のICに対応する
ことができる。ただし、「Cはそのうちの1つのICツ
マケットにしか増せてとができない。
に、「Cソケットを関わることになり、「はアルウス・アルト」
「10108] 請求項2記載の意
東項1記載の話で建設量に
「Cソケットの場合ととはより、「エリルウス・アルト」
「ロ108] 請求項2記載の意
東項1記載の話で建設量に
「Cソケットの場合と接続されている」
「Cリケットの場合と対象が、「Cリケットの場合と接続」
「Cリケットの場合と接続」
「Cリケットの場合と接続している。
「Cリケットの場合と対象が、「Cリケットの場合と接続」
「Cリケットの場合と接続している。」
「Cリケットの場合と接続」
「Cリケットを表しまする」
「Cリケットを表しまする。」

[0 1 0 5] 図3 8 では、第2の実施例における1 C 搭 級用高板2 0 のコネクタ 2 1 2 に被抗されたれピンソケ ット2 4 4 の領に平行して、接地された接地グット 2 5 3 を設けたものである。コネクタ 2 1 2 にブラットケー ブルを接続する場合、ノイズ対策のためブラットケー ブルの協を1 つおきに接地する。この場合、丸ピンソ ケット 2 4 4 の横に接地グケット 2 5 3 があれば、図 3 6 に示したように、短端ピン8 4 を丸ピンゾケット 2 4 4 と接地グケット 2 5 3 に期すことにより、簡単に接地 するととがぞき

【0106】また、結線と論理がプログラム可能なプロ グラマブルICとしては、FPGA22の代わりに、P LD (プログラマブル・ロジック・デバイス; Programm ableLogic Device)を用いても良い。図37はPLD の構造の一例を示したものである。このPLDは、入力 端子101に接続された複数のノットゲート102と、 多入力アンドゲート103と、出力端が出力端子105 40 に接続された多入力オアゲート104を、この順で、配 線が交差するように配列して構成したものである。そし て、配線の交差点を任意に接続することにより、入出力 数の許す限りどのような多項式からなる組み合せ回路で も構成することができるようになっている。配線の交差 点のオン、オフの情報は、PLDの内部に設けられたヒ ューズやR O M あるいはSRAM等によって保持され る。外部からこの内容を設定することにより、PLDの 機能をプログラムすることができる。また、結線と論理

26 Dを論理プロックとしてチップ内に複数配置し、FPG Aと同様に、クロスポイントスイッチ等でこれらの接続 をプログラム可能にした複合PLDを用いても良い。

[0107] 【発明の効果】請求項1ないし12のいずれか1に記載 の試作支援装置によれば、互いにバス接続された複数の パス接続用コネクタを有するバス装置と、このパス装置 に接続されるIC搭載用基板とを設け、IC搭載用基板 には、パス接続用コネクタと結合するためのパス装置接 続用コネクタと、ICを挿すためのICソケットと、一 部の入出力端子がICソケットの全ての端子にそれぞれ 接続され、他の入出力端子がパス装置接続用コネクタの 機子に接続された、結線と論理がプログラム可能なプロ グラマブルICとを設けたので、IC搭載用基板のIC ソケットに任意のICを挿し、IC搭載用基板をバス装 置に接続し、プログラマブルICの結線と論理をプログ ラムすることによって、短い時間で安価に、ディジタル I Cを用いた装置を試作でき、修正が容易で、信頼性が 高く、しかも複数のICをバスで接続する装置の試作も

り間に40~30・79m/20つの。 「〇 108] 請求項 2記載の試作支援被置によれば、請 求項 1配数の試件支援接置において、I C 計載用基板 に、I C ソケットの端下は接続された端子を含む補助ソ ケットと、電源ソケットと、接地ソケットとを設けたの で、請求項 1 記載の試作支援接近の効果に加え、補助ソ ケットと電源ソケットあるび援地ソケットとを接続する ことによって、I C ソケットに増した I C に電源を与え ることが国能になるという効果がある。

[0 9] 請求項3配載の就作支援被正とれば、請求項1配級の試作支援機関において、1位別からの数子に接続された場子を含む第1の補助ソケットと、電源ソケットと、接地ソケットと、差 直接統用コネクタと、装置接続用コネクタル当下接続、よれた端子を含む第2の補助ソケットに、第2の補助ソケットに開け合うまされ、「Cソケットの端子に接続された端子を台び第3の補助ソケットと変別が、ので、請求項「記載の試作支援機関の効果に加え、装置接続用コネクタに他の装置を接続し、第2の補助ソケットと用いた」とを接続された場子を合いました。

[0110]

第2項目ないし3のいずれか1 に記載の試作支援装置によれば、請 東項目ないし3のいずれか1 に記載の試作支援装置にお いて、1 に搭載用基板に、1 にソケットと異なる形状の 第2の1 にソケットを設けたので、請求項1 ないし3の いずれか1 に記載の試作支援装置の効果に加え、複数の 解状切1 には対すび能になるという効果がある。

という効果がある。

る。外部からこの内容を設定することにより、P.D.Dの 機能をプログラムすることができる。また、結聴と論理 がプログラムすることができる。また、結聴と論理 がプログラム目後文プログラブルICとしては、P.D.5の アトとを設けれて、議沖乳 下蔵の熱作支援機運の分 果に加え、複数のICを用いた任意の装置を試作するこ とが可能になるという効果がある。また、第1の補助ソ ケットおよび第4の補助ソケットと電源ソケットおよび 接地ソケットとを接続することによって、第1のICソ ケットに挿したICと第2の1Cソケットに挿したIC とに電源を与えることが可能になるという効果がある。 また、装置接続用コネクタに他の装置を接続し、第3の 補助ソケットあるいは第4の補助ソケットと第2の補助 ソケットとを接続することにより、第1のICソケット に挿したICあるいは第2のICソケットに挿した1C 10 作支援装置と同様の効果がある。 と他の装置との接続が可能になるという効果がある。 【0112】請求項6記載の試作支援装置によれば、請

求項5記載の試作支援装置において、IC搭載用基板 に、第1のICソケットと異なる形状の第3のICソケ ットを設けたので、請求項5記載の試作支援装置の効果 に加え、複数の形状のICに対応可能になるという効果

がある。 【0113】請求項7記載の試作支援装置によれば、請 求項3ないし6のいずれか1に記載の試作支援装置にお いて、IC搭載用基板に、第2の補助ソケットに隣り合 20 うように配置された第2の接地ソケットを設けたので、 請求項3ないし6のいずれか1に記載の試作支援装置の 効果に加え、第2の補助ソケットと第2の接地ソケット とを接続することによって、ノイズ対策のための接地が

可能になるという効果がある。

【0114】請求項8記載の試作支援装置によれば、請 求項1ないし7のいずれか1に記載の試作支援装置にお いて、複数のプログラマブル1 Cによってパス装置接続 用コネクタやICソケットへの接続を分担するようにし 接装置の効果に加え、1つのプログラマブルICの入出 力端子の数がパス装置接続用コネクタやICソケットの 端子に比べて少ない場合に、複数のプログラマブルIC で、バス装置接続用コネクタやICソケットへの接続を 分扣することが可能になるという効果がある。

【0115】請求項11記載の試作支援装置によれば、 請求項1ないし10のいずれか1に記載の試作支援装置 において、パス装置の複数のバス接続用コネクタのう ち、少なくとも一つのバス接続用コネクタを、その接続 方向が他のバス接続用コネクタの接続方向に対して直角 40 方向になるように配置したので、請求項1ないし10の いずれか1に記載の試作支援装置の効果に加え、バス装 置の複数のバス接続用コネクタに接続する複数のIC搭 裁用基板のうちの少なくとも一つを他の1C搭載用基板 に対して直角方向に配置することが可能となり、デバッ グや調整が容易になるという効果がある。

【0116】請求項12記載の試作支援装置によれば、 請求項11記載の試作支援装置において、バス装置に、 各パス接続用コネクタの接続方向に合わせた1 C搭載用 載の試作支援装置の効果に加え、IC搭載用基板をガイ ドレールに沿って案内して、バス装置のバス接続用コネ クタに接続することができ、バス装置に対する I C搭載 用基板の接続が容易になるという効果がある。

28

【0117】また、請求項13ないし22の記載のIC 搭載用基板によれば、それぞれ、請求項1ないし10記 載の試作支援装置と同様の効果がある。

【0118】また、請求項23または24記載のバス装 置によれば、それぞれ、請求項11または12記載の試

「図面の簡単な説明】

【図1】本発明の第1の実施例に係る試作支援装置の外 観を示す斜視図である。

【図2】図1におけるIC搭載用基板の平面図である。 【図3】図1に示した試作支援装置のブロック図であ

【図4】図1におけるバス装置の回路図である。

【図5】図1におけるIC搭載用基板の回路図である。 【図6】図1におけるFPGAの構造の一例を示すプロ

ック図である。 【図7】図6における論理プロックの構成の一例を示す ブロック図である。

【図8】図6におけるクロスポイントスイッチの構成の 一例を示すブロック図である。

【図9】図6におけるスイッチマトリックスの機成の一 例を示すブロック図である。

【図10】図5に示したFPGAの結線と論理のプログ ラムの一例を示す説明図である。

【図11】本発明の第1の実施例に係る試作支援装置を たので、請求項1ないし7のいずれか1に記載の試作支 30 用いて試作するマイクロコンピュータの構成を示す回路 図である。

> 【図12】図1における各IC搭載用基板のコネクタの ピンおよびバス装置のバス配線への信号の割り当てを示 す説明図である。

> 【図13】図1においてCPUを挿したIC搭載用基板 のFPGAのプログラムの内容を示す説明図である。

> 【図14】図1においてCPUを挿したIC搭載用基板 のFPGAのプログラムの内容を示す説明図である。

【図15】図1においてPROMを挿したIC搭載用基 板のFPGAのプログラムの内容を示す説明図である。 【図16】図1においてPROMを挿したIC搭載用基

板のFPGAのプログラムの内容を示す説明図である。 【図17】本発明の第2の実施例に係る試作支援装置の

外観を示す斜視図である。

【図18】図17における1C搭載用基板の平面図であ

【図19】図18に示した1C搭載用基板のプロック図 である。

【図20】図19におけるコネクタ、ICソケット、丸 基标率内用のガイドレールを設けたので、請求項11記 50 ピンソケットとFPGAとの接続関係を示す回路図であ

る。 【図21】図19における図20以外の部分の配線を示

す回路図である。 【図22】本発明の第2の実施例に係る試作支援装置を 用いて試作するマイクロコンピュータの構成を示す回路

図である。 【図23】本発明の第2の実施例に係る試作支援装置を 用いて賦作するマイクロコンピュータの構成を示す回路 図である。

【図24】図18に示したIC搭載用基板における配線 10 の一例を示す説明図である。

【図25】図18に示した I C搭載用基板における配線 の一例を示す説明図である。

【図26】図17における各IC搭載用基板のコネクタ のピンおよびパス装置のパス配線への信号の割り当てを

示す説明図である。 「図27] 図17においてCPUを挿したIC搭載用基 板のFPGAのプログラムの内容を示す説明図である。

【図28】図17においてCPUを挿したIC搭載用基 板のFPGAのプログラムの内容を示す説明図である。 20

「図29] 図17においてPROMを挿したIC搭載用 基板のFPGAのプログラムの内容を示す説明図であ

る。 【図30】図17においてPROMを挿したIC搭載用 基板のFPGAのプログラムの内容を示す説明図であ

る。 【図31】図17においてSRAMを挿したIC搭載用* * 基板の F P G A のプログラムの内容を示す説明図であ

【図32】図17においてSRAMを挿したIC搭載用 基板のFPGAのプログラムの内容を示す説明図であ

【図33】図17においてパラレルインタフェースIC

を押した I C搭載用基板の F P G A のプログラムの内容 を示す説明図である。

【図34】本発明の実施例における第1の変形例に係る I C 搭載用基板の一部を示す回路図である。

【図35】本発明の実施例における第2の変形例に係る I C搭載用基板の一部を示す回路図である。

【図36】本発明の実施例における第3の変形例に係る 丸ピンソケットと接地ソケットを示す説明図である。 【図37】本発明の実施例における第4の変形例に係る

P L Dの構造を示す回路図である。

【符号の説明】

10 パス装置

11 コネクタ

12 パス基板

20 IC搭載用基板

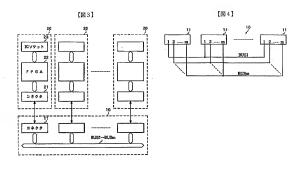
21 コネクタ 22 FPGA

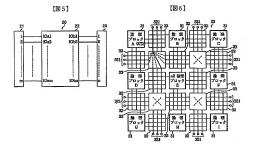
23 ICソケット 51 CPU

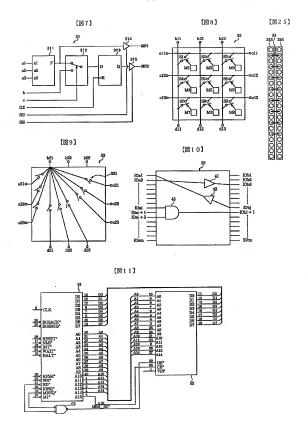
52 PROM

[図2] 【図1】 22.

29

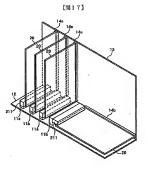






【図 1 2 】 割当借号名 コネタタビン配列 A6 I

バス配線	割当信号名	コネクタピン番
BUSI	AG	1
BUS2	A1	2
BUSS	A2	3
BUS4	AS	4
BUS5	Λ4	5
BUSS	A5	6
BUS7	A6	7
BUSB	A7	8
BUS9	A8	9
BUSIO	A9	10
BUS11	A10	11
BUS12	A11	12
BUSIS	A12	18
BUS14	A18	14
BUSIS	A14	15
BUS16	A15	16
BUS17	D0	17
BUSIS	. Di	18
BUS19	D2	19
BUS20	109	20
BUS21	D4	21
BUS22	D5	22
HUS23	DB	23
BUS24	D7	24
BUS25	MEM_RD*	25



[図13]

パス配線	割当信号名	コネクタ ピン書号	FFGA 端子名	回路 61	FPGA 増子名	ICソケット ピン哲号	280 信号名
BUSI	A0	1	10al	$\overline{}$	10630	30	A0
BUS2	AI	2	IOn2	─	10ь31	31	Al
BUS3	A2	3	IOa3	─	10ь32	32	A2
BUS4	A3	4	IOn4		Юьзз	33	A3
BUSS	.84	5	10a5	─	10684	34	A4
BUS6	.A5	6	10a6	$\overline{}$	10635	35	A5
BUS7	A6	7	IOu7		10636	36	A6
BUS8	A7	8	IO68	─	10537	37	Α7
BUS9	A8	9	IOu9		10938	38	84
BUS10	A9	10	IOs10		Юь39	39	A9
BUS11	A10	11	IOa11		10640	40	A10
BUS12	All	12	10a12	─	1061	1	A11
BUS13	A12	13	10a13		1062	2	A12
BUS14	A13	14	10a14	─	юыз	3	A13
BUS15	A14	15	10a15		Юь4	4	A14
BUSIS	A15	16	IOx16		1065	5	AIS

【図14】

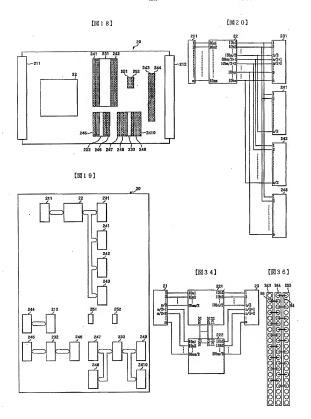
バス配料	制当信号名	コネクタ ピン番号	FPGA 紹子名	回路	FPGA 蛸子名	ICソケット ピン番号	Z80 信号名
BUS17	D0	17	IOa17	4	10b14	14	D0
BUS18	Dl	18	10a18	<u> </u>	10b15	16	D1
BUS19	D2	19	10a19	1977	10b12	12	DZ
BUS20	DS	20	IOn20	1941	1018	8	DS
BUS21	104	21	IOa21	19-21	1057	7	D4
BUS22	D5	22	IOa22	1	юь9	9	D5
BUS23	DG	23	IOe23	1961	10910	10	D6
BUS24	D7	24	IOn24	1941	Юь13	13	D7
				63	10621	21	20"
BUS25	NEW RO.	25	IOs25		10619	19	HEED.
				Σ			

【図15】

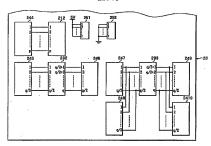
パス配料	割当信号名	コネクタ ピン番号	FPGA 帽子名	■ 14 55	FPGA 焙子名	ICソケット ピン番号	27258 信号名
BUS1	A0	1	IOa1	\rightarrow	10PI0	10	A0
BUS2	A1	2	EOu2	─	1099	9	Al
BUS3	A2	3	IOa3		1098	8	A2
BUS4	AS	4	10a4		1067	7	A3
BUS5	A4	5	10a5		1056	6	A4
BUS6	A6	6	10a6		1055	. 5	Aδ
EU\$7	A6	7	10a7		1064	4	A6
BUSS	A7	8	IOn8		1063	8	A7
BUS9	ΛB	9	10a9		IOb25	25	AB
BUS10	AS	10	IOn10		Юь24	24	A9
BUS11	A10	11	10a11		10521	21	A10
BUS12	All	12	10a12		10b23	23	All
BUS13	AlZ	13	IOa13		ЮРS	2	A12
BUS14	A13	14	IOa14		Юь26	26	A13
BUS15	A14	15	10a16		10627	27	A14

[図16]

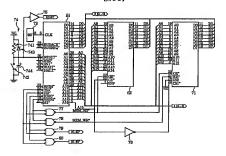
バス配線	制备信号名	コネクタ ピン費号	FPGA 第于名	@ EF 65	FPGA 端子名	ICソケット ピン番号	27256 信号名
BUS17	DO	17	IOn17	☐ LS245 [10b11	11	D0
BUS18	Dl	18	IOn18	THAI BILL	IOb12	12	DI
BUS19	D2	19	IOa19	니A3 B3	10613	13	D2
BUS20	DS	20	IOn20	A4 B4	Юь15	15	DS
BUS21	104	21	10±21	AS BS	Ю16	16	D4
HUS22	D6	22	10a22	AZ BE	Ю17	17	D5
HUS23	D6	23	10a23		Юь18	18	D6
BUS24	107	24	10a24		Юы9	19	D7
BUS16	A15	16	IOa16	67	10520	20	CS.
BUS25	MEM_RD*	25	IOa25		10152	22	68,



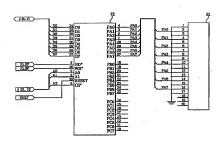
[図21]



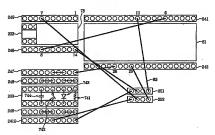
[図22]



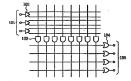
【図23】



[図24]



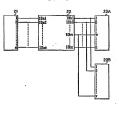
[図37]



【図26】 創当信号名 コネクタビン石

	バス配線	侧当位号名	コネクタピン番号
_	BUS1	A0	1
	BUSE	A1	2
	BUSS	A2	8
	BUS4	A3	4
	BUSS	A4	5
	BUS6	A5	6
	BUS7	A6	7
	BUS8	A7	8
	BUS9	AB	9
	BUSIO	A9	. 10
	BUSIL	OIA	11
	BUS12	A21	12
	BUS13	A12	13
	BUS14	A13	14
	BUS15	A14	15
	BUS16	A15	16
	BUS17	D0	17
	BUS18	DI	18
	BUS19	DZ	19
	BUS20	D3	20
	BUS2I	D4	21
	BUS22	Ds	22
	BUS23	D6	23
	BUS24	D7	24
	BUS25	MEM_RD*	25
	BUS28	MEM_WR	26
	BUS27	IO_RD*	27
	BUS28	ID_WR*	28
	RTIS29	RESET	99

[図35]



[図27]

パス配線	割器信号名	コネクタ ピン番号	FPGA 熔子名	回路 61	FPGA 網子名	ICソケット ピン哲号	280 信号名
BUSI	AO	1	1Oal	$\overline{}$	IOP30	30	AO
BUS2	Al	2	1Oa2		IOb3L	31	AI
BUS3	A2	3	10s3		10935	32	A2
BUS4	A3	4	IOa4		10933	33	A3
BUSS	A4	5	10a5		10534	34	A4
BUS8	A5	6	1Oa6		10ь35	35	A5
BUST	A6	7	10a7		10938	36	A6
BUS8	A7	8	IOs8		IOb37	37	A7
BUSS	A8	9	IOa9		10b38	38	A8
BUS10	AĐ	10	IOa10		10939	39	A9
BUSII	A10	п	IOa1I		Юы0	40	A10
BUS12	AlI	12	IOa12		юы	1	All
BUS13	AlZ	13	IOa13	-	10PS	2	AIS
BUS14	A13	14	30n14		юва	3	A13
BUS15	A14	15	IOa15		1064	4	A14
BUS16	A15	18	IO:16	<u></u>	1065	5	A15

【図28】

パス配報	商品信号名	コネクタ ピン哲号	FPGA 報子名	田路	FPGA 電子名	ICソケット ピン番号	280 信号名
BUS17	D0	17	I0a17	194	Юы4	14	D0
BUS18	D1	18	IOa18	4	Юы5	15	DI
BUS19	D2	19	10a19	13-71	Ю12	12	D2
BUS20	D3	20	10s20	19 41	1068	8	D3
BUS21	114	21	10a21	18 41	1067	7	D4
BUS22	D5	22	IOa22	1997	10ь9	9	D5
BUS23	DS	23	IOs23	13 41	Юы0	10	D6
BUS24	D7	24	ROn24	100	Ю13	13	107
				B 63	1021	21	70"
BUS26	HEN_KIP	25	10a25	######################################	юь19	19	HISO,
BUS26	MEN_MS.	25	IOa26	**************************************	10520	20	1080*
BUS27	10_KD	27	IOs27	-87-CE-11	10b21	21	XX*
BU\$28	10_WE*	28	ICe28	# C	10622	22	77
BU529	RESET	29	IOa29		10626	26	RESET

[図29]

バス配線	割当信号名	コネクタ ピン番号	FPGA 加子名	® 15 ₆₅	FPGA 第子名	ICソケット ビン番号	27258 信号名
BUS1	A0	ı	IOa1		10ы0	10	A0
BUS2	A1	2	10a2	\longrightarrow	Юь9	9	A1
BUS3	A2	3	10a3		1098	8	A2
BUS4	A8	4	10a4		1067	7	EA.
BUS5	A4	5	10a5	——Ď——	1056	- 6	A4
BUS6	A5	6	IOnfi		1065	5	A5
BUS7	A6	7	IOa7		1064	4	A6
BUSS	A7	8	· IOa8		1093	8	A7
BUS9	A8	9	IOn9		10525	25	A8
BUSIO	AS	10	1On10		Ю524	24	A9
BUS11	A10	11	10al I		10951	21	A10
BUS12	A11	12	10a12	——Ď——	10953	23	AlI
BUS13	A12	13	IOn13	—————	10b2	2	Al2
BUS14	A13	14	IOn14	—————	10958	26	A13
BUS15	A14	15	10a15	——	Юь27	27	A14

【図30】

バス配線	制当信号名	コネクタ ピン番号	FPGA 粒子名	同路 156	PPGA 熔子名	ICソケット ピン番号	27258 信号名
BUS17	DO	17	10a17		юыі	11	D0
BUS18	DI	18	10a18	TUAL BILL	10512	12	DI
BUS19	D2	19	10a19	A2 B2 A3 B3	юыз	13	DZ
BUS20	D3	20	IOs20	A4 B4	Юы5	15	D3
BU\$21	D4	21	10a21	A5 B5 L	10616	16	D4
BUS22	D5	22	IOn22	- A7 B7-L	10617	17	D5
BUS23	D6	23	IOa23	JfA8 B8hL	10618	18	DS
BUS24	D7	24	10a24		Юь19	19	D7
BUS16	A15	16	10a16	67	10620	20	Œ
BUS25	MENTER	25	10a25		10955	22	QE,
				68			

[図31]

パス配線	割益信号名	コネクタ ピン委号	FPGA 第子名	图 時 90	FPGA 第子名	ICソケット ピン香号	6284 信号名
BUS1	A0	1	10al	\longrightarrow	юно	10	A0
BUS2	A1	2	10a2		1069	9	AI
BUS3	A2	3	IOa3		1068	8	A2
BUS4	AS	4	IOn4	\longrightarrow	1067	7	AS
BUS5	A4	6	10e5		1Ób6	6	A4
BUSS	A5	6	IOa6		1065	5	A5
BUS7	A8	. 7	10a7		1064	4	Α6
BUS8	A7	8	IOa8		Юь3	3	A7
BUS9	8A	9	10a9	—————————————————————————————————————	IO626	25	A8
BUS10	A9	10	IOn10	\longrightarrow	10624	24	A9
BUS11	A10	11	10all		10951	21	A10
BUS12	A11	12	10al2		10523	-23	A11
BUS13	A12	13	IOa13		10b2	2	A12

[図32]

パス配線	初当個号名	コネクタ ピン名号	FFGA 端子名	回 馬 ₉₁	FPGA 第子名	ICソケット ピン香号	6264 信号名
BUS17	D0	17	10a17	7 LS245 (F	10611	11	D0
BUS18	DI	18	IOn18	A1 B1	юь12	12	Dl
BUS19	D2	19	IOn19	니A2 B2	10913	13	DŽ
BUS20	D3	20	IOn20	A4 B4	юь15	16	108
BUS21	D4	21	10a21	A5 B5	Ю16	16	734
BUS22	D5	22	10a22	- A B	Юы7	17	D5
BUS23	D6	23	10a23	_[[** **]]L	IDb18	18	D6
BUS24	D7	24	10s24		10918	19	D7
BUS16	A15	16	10al6	92	10ь20	20	CS1.
BUS25	MEN_KD	25	10a25	90	IOPSS	22	30
BUS26	MEN WO'	26	10a26		10ъ27	27	EE.

[図33]

パス配除		コネクタ ピン番号	FPGA 執子名	回路	FPGA 衛子名	ICソケット ビン番号	8255 信号名
BUSI	A0	1	IOaI		Юь9	9	A0
BUS2	Αl	2	10e2	94	1068	8	ΔI
BUS17	D0	. 17	10a17	J LS245 / -	Юь34	34	DO
BUS18	D1	18	IOa18	THAI BILL	ЮВЗЗ	33	D1
BUS19	D2	19	IOn19	A2 B2	10632	32	D2
BUS20	DS	20	1Oa20	143 B3 -	10ь31	31	DS
BUS21	D4	21	10a21	A5 B5	IO530	80	DA
BUS22	D5	22	10a22	JHA7 B7HL	10629	29	
BU523	D6	23	IOe23	A8 B8	10528	28	D6
BUS24	D7	24	IOn24	J G DER	IO627	27	D6 D7
BUSS	A2	3	IOa3	96	10ье	6	CS.
BUS27	10_HD*	27	IOn27	 D	юь	5	13*
BUS28	10785	28	10a28		10ъ36	36	12'
BUS29	RESET	29	IOu29		Юъзъ	35	RESUT